

DAC 性能详解

作者: Libra Chu

在电子系统中，数模转换器芯片（DAC）的功能是将数字编码转换成一系列离散的阶梯电压或者电流，是模拟量输出和控制的核心器件。虽然基本功能简单，但市场上的 DAC 型号繁多，了解其具体参数和内部结构对于 DAC 的选型、系统的优化是很有必要的。通用型的 DAC 芯片大多用来输出直流信号，精度较高（12~16bit），速度较低（<10MHz），一般称之为精密 DAC。下面我们就结合 DAC 的指标，内部结构和应用需求，一点点揭开精密 DAC 的真面目。

一、DAC 的指标

用户选择器件时，可能最关心精度、速度等有限几个性能。但这些笼统的性能并非简单的用 DAC 标称位数和更新速度就可以表示。我们必须把系统的需求“翻译”成正确的 DAC 指标，才能做出合理的选型。

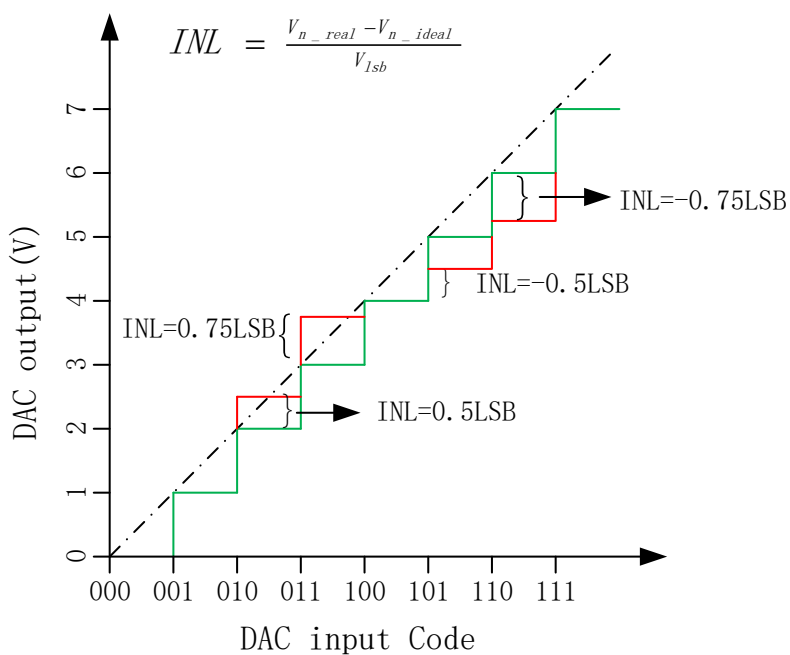
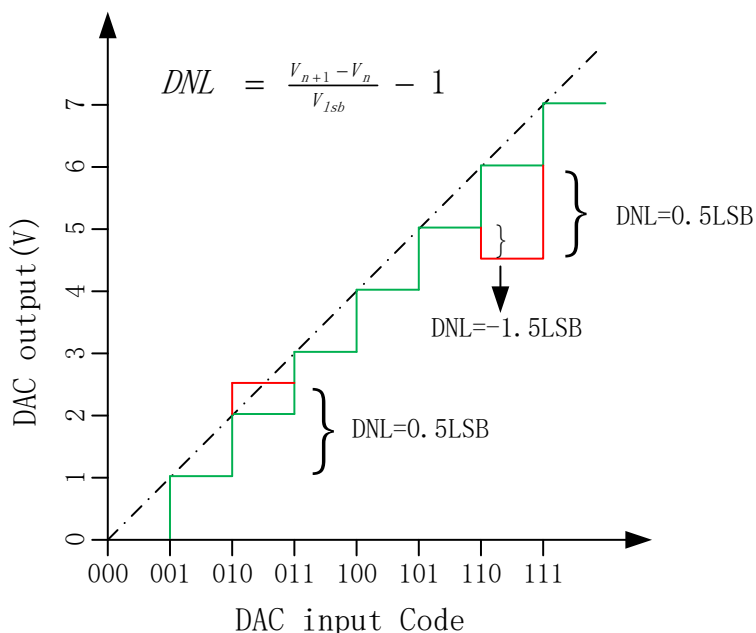
DAC 的“精度”，一般指 DAC 的静态指标（噪声归在动态指标中）。而“速度”则对应 DAC 的动态指标。下面将分别介绍。

1.1 DAC 的静态指标

静态指标均基于实际 DAC 与相同位数的理想 DAC 之间的输出曲线的比较。

首先我们来看 DAC 的输出是不是足够“直”，也就是线性度如何。DAC 的线性度一般受芯片内部的半导体器件匹配度限制，比如电阻串的匹配，极限在 10~12 位左右，再高的话需要各种校准技术来处理。不同的 DAC 内部结构也对线性度有限制，R2R 结构的 DAC 线性度极限能比 R-string 的更好（第二部分会涉及）。

下面这两张图，表现出实际的三位 DAC 与理想的三位 DAC 输出波形在线性度方面的差异（红色为实际输出曲线）：

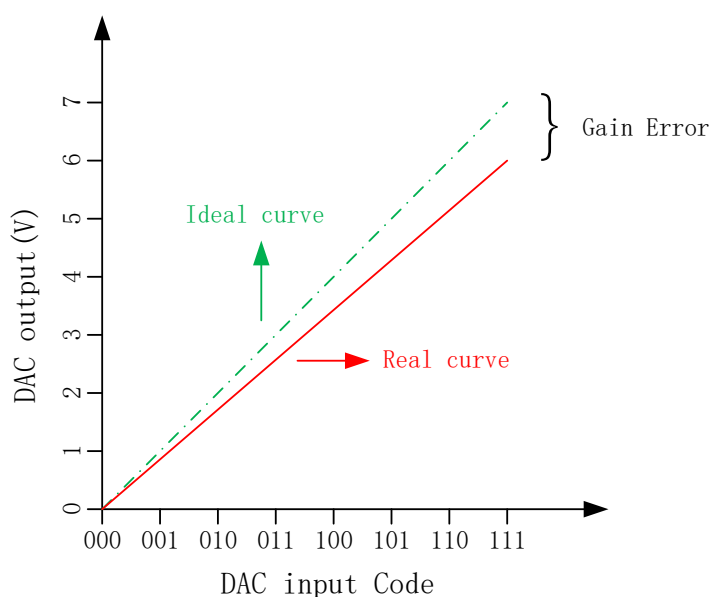
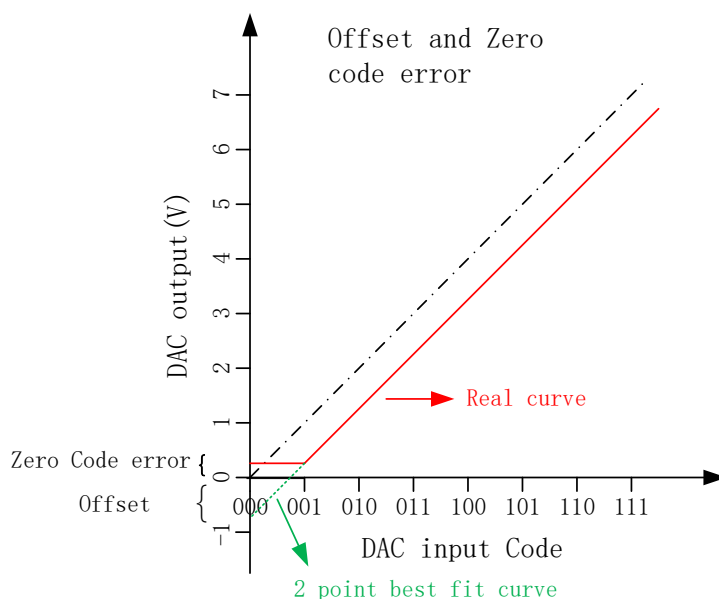


DNL 是微分线性度，指相邻两个输出电平的差相对于理想值（1LSB）的偏差。datasheet 中的 DNL 代表所有台阶中最大的偏差值。由上图可以看到，如果出现 $DNL < -1LSB$ 的现象，则 DAC 的输出肯定是非单调的，也就是说数字编码增加 1，输出不增加反而会下降。这一点在很多闭环系统应用中是不能接受的，如果 DAC 出现非单调的情况，则控制环路无法收敛。这时一般会选择 $DNL < \pm 1LSB$ 的器件。

INL 是积分线性度，指实际的输出相对理想 DAC 的输出之间的差异，所以也叫 relative accuracy，用满量程

的百分比或者 LSB 来表示。理论上，某个编码对应输出的 INL 就是从第一个编码到这个编码所有的 DNL 的积分，也印证了“积分”这个名称的含义。Datasheet 中的 INL（或者 relative accuracy）代表所有输出值最大的 INL。这个指标用来衡量 DAC 输出的准确度如何，应用比较广。特别是在开环应用中，应当关注 INL 的指标。

除了上面两个线性度的参数，DAC 的实际输出曲线还存在其它几种非理想特性，如下面两图所示：



一个无限分辨率的理想 DAC 输出特性应该是通过原点的一条直线， $y=x$ （这里我们把 DAC 增益相对理想值归一

化成 1)，但实际的 DAC 输出特性，用靠近首尾两端的两点拟合一条直线，特性一般是 $y=ax+b$ 。

其中， a 代表 DAC 实际的输出增益，即 gain。其相对理想增益的偏差，即 gain error。 b 代表这条直线整体相对原点向上或者向下偏移的幅度，即 offset error。

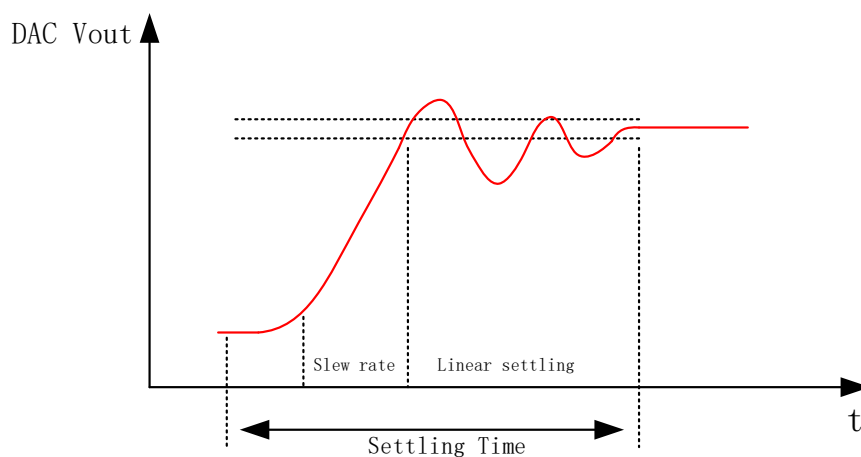
但实际 DAC 在 code 为 0 附近，输出电压也很低时，由于内部电路接近饱和（特别是带输出 buffer 的 DAC），会出现一定的非线性。所以 DAC 会有一个额外的参数来标定 code 为 0 时输出的偏差，叫 zero code error。

另外 gain, offset 在不同温度下也会产生变化，即 gain shift, offset error shift。如果客户对温度特性很敏感，要特别关注这两个指标。

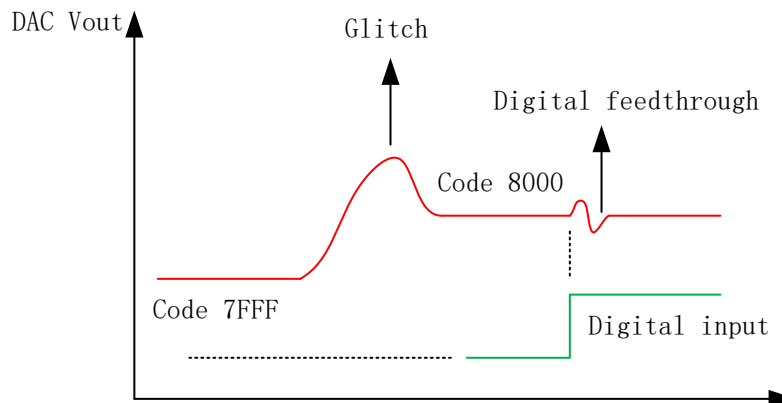
特别要提醒的是，由于上面这几项因素的影响，我们不能直接用 DAC 输出曲线来计算 DNL 或 INL，而必须将 gain error, offset error 计算出来并补偿掉之后，再去计算 DNL 和 INL。如果客户要验证芯片指标，还必须注意数据手册中每一项指标的测试条件。大部分情况下，INL/DNL 基于两点法拟合直线的基础上来测量。具体是哪两点，一般在 datasheet 中都会注明。

1.2 DAC 的动态指标

下图是一个典型的 DAC 输出从 0 附近跳到满摆幅的输出波形：



输出从 0 到满摆幅变化（或者特定的两个差异较大的值）的总时间，称为 settling time。输出主要经历两个阶段，一是 slew rate，二是 linear settling。slew rate 反映了输出大摆幅下的极限驱动能力，一般决定了输出 10%~90%变化的时间，而 linear settling 则主要取决于输出节点的 RC 常数或者输出 buffer 的带宽。Settling time 是用户考虑精密 DAC 速度的重点参数。



如果用户对 DAC 输出变化要求平稳不能有毛刺的话，则需要关注 Glitch 和 Digital feedthrough 两个指标。

Glitch 主要与 DAC 核心部分的开关有关。当内部开关从一个点切换到另一个点时，会受到寄生电荷以及开关切换不能理想同步的影响，从而造成输出跳动。跳动的幅度和时间都是我们关注的对象，所以 Glitch 用 $nV \cdot S$ 这个二者相乘的单位来表示其能量大小。从其产生原理可见，glitch 与具体切换的开关位置有关。Code 的高位 MSB 变化时一般会产生较大的 glitch，所以 datasheet 中普遍定义 major carry 处的 glitch。Glitch 也和结构有关，R-string 的 glitch 一般比 R2R 结构的 glitch 小，原因在第二部分有解释。

Digital feedthrough 则代表了模拟输出与数字输入的隔离程度。即使 DAC 没有被选中进行通信，总线上的数字 IO 信号或时钟跳动通过内部信号通路或者电源地的耦合也会造成 DAC 输出的跳动，即为 digital feedthrough。良好的设计可以保证这个值很小。

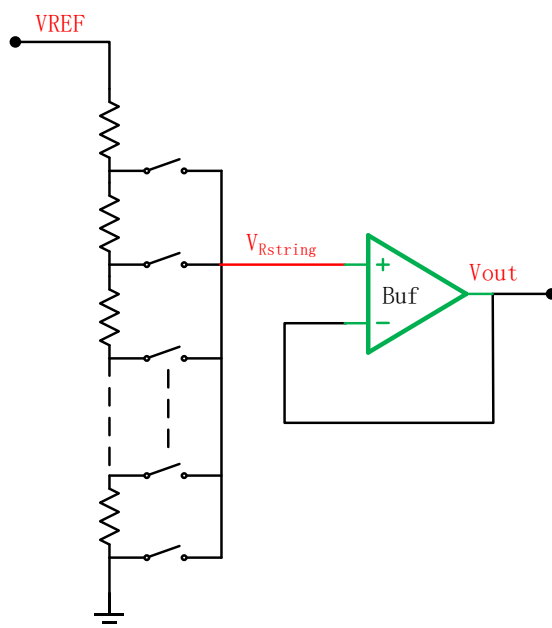
另外，DAC 输出 noise density 也是关注的一部分。DAC 的噪声来源可以分几部分：VREF（如果有内部基准源的话，flick noise + 热噪声），内部电阻串（电阻热噪声），输出 buffer（flick noise + 热噪声）。用户需要计算不同带宽下输出噪声带来的影响。系统设计时需要限制 DAC 输出信号的带宽来抑制不必要的噪声。一般来说，不希望带内噪声限制 DAC 的输出精度。

二、DAC 的结构。

DAC 的数据手册中一般会注明内部是何种结构。下面我们会结合 DAC 的指标，讨论下常见结构 DAC 的优缺点，可以帮助理解为何不同结构的 DAC 有不同的指标，在系统上应该注意哪些重点。

2.1 R-string 结构

它采用了一串相等的电阻（即 R-string 的字面含义），从而获得与参考电压成比例的值。典型结构如下图。



这种结构的优点显而易见：

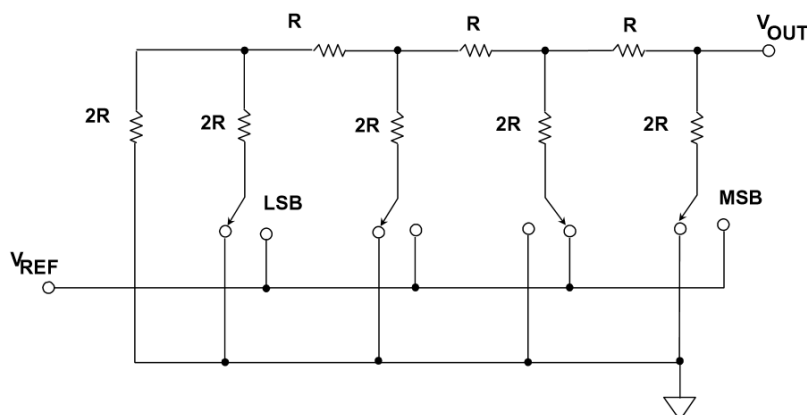
1. 当电阻串输出点从下边的开关切换到上边的开关时，输出电压肯定是增加的。所以这种结构天然决定了其良好的单调特性（DNL 不会小于-1），这对系统闭环应用是一个很大的好处。
2. 一次 code 变化仅对应两个开关之间的切换，glitch 很小，而且与 code 无关。所以这是一种低 glitch 结构。

缺点是，消耗了大量的电阻和开关器件，受限于半导体电阻器件的匹配度，很难做到高位数。由此可以延伸出分段等改进的方式来减少电阻数量，但校准代价仍然较大，所以有效精度相对较低。

另外，电阻串总值较大，输出阻抗高，限制了其工作速度。并且电阻串输出阻抗随 code 在不停变化，需要 buffer 来提供稳定的输出能力。所以在应用上需要注意输出 buffer 的驱动能力和稳定性，尤其是负载的电容大小。

由于上面的特点，这种结构现在被普遍用于 $12 \sim 16$ 位， $DNL < \pm 1LSB$ （保证单调性）但对 INL 要求不是非常高（INL 大多在 $12 \sim 14$ 位精度）的 DAC 中。

2.2 R-2R 结构



如图所示，R-2R DAC 只使用两种阻值 R 和 2R 的电阻。这种结构的关键在于从任何一个 2R 电阻的右侧往左看，等效阻抗都是 R。可以看到，

$$V_{out} = \left(\frac{b_0}{2} + \frac{b_1}{4} + \frac{b_2}{8} + \dots + \frac{b_{n-1}}{2^n} \right) V_{ref}.$$

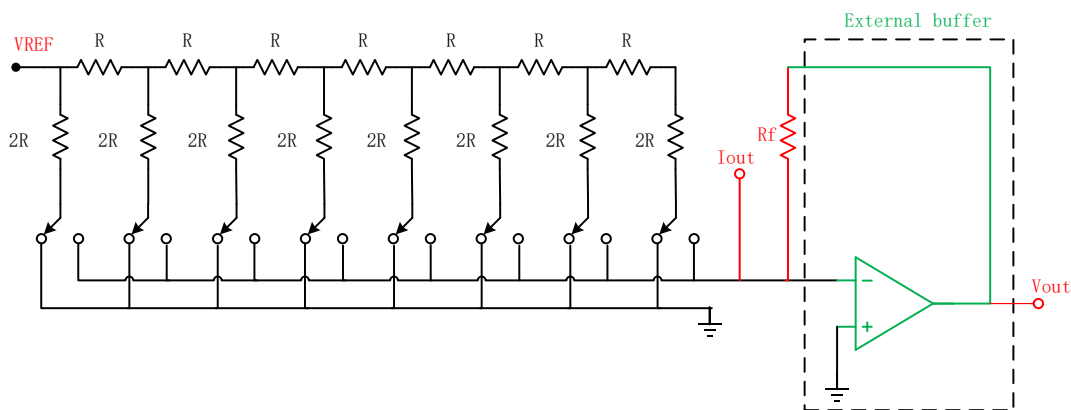
原理上，N 位 DAC 只需要 2*N 个电阻，因为电阻数量少，生产时可以校准到很高的线性度。

这种结构一般是电压输出。而且其输出阻抗恒定为 R，这使得连接到输出节点的放大器很容易稳定。在使用外部高速 buffer 时，这种 DAC 可以达到更高的速度。当然，也有些 R-2R DAC 自带输出 buffer，这种情况下，速度主要由内部的 buffer 来决定。

但另一方面，图中的开关必须在宽电压范围 (VREF 至地) 内工作，这给设计和制造都带来难题。在不同 code 切换时，高低位的多个开关会经历同时导通或者关断的状态，加上开关寄生电荷的影响，输出会出现较大的 glitch。

要特别注意的时，基准电压 VREF 端的输入阻抗会随着代码而大幅改变。因此使用这种 DAC 时，基准电压输入必须有较强的驱动能力，有时需要增加 buffer，如果芯片内部没有基准电压 buffer 的话。

2.3 MDAC 结构



上图即为 MDAC（乘法 DAC）。这种 DAC 其实是一种电流型的 R-2R DAC。其与电压型 R-2R DAC 的区别在于，VREF 连到电阻串的末端，开关则直接连到输出虚地点。每一级电阻支路均将前级流入的电流减半，所以最终输出的总电流为

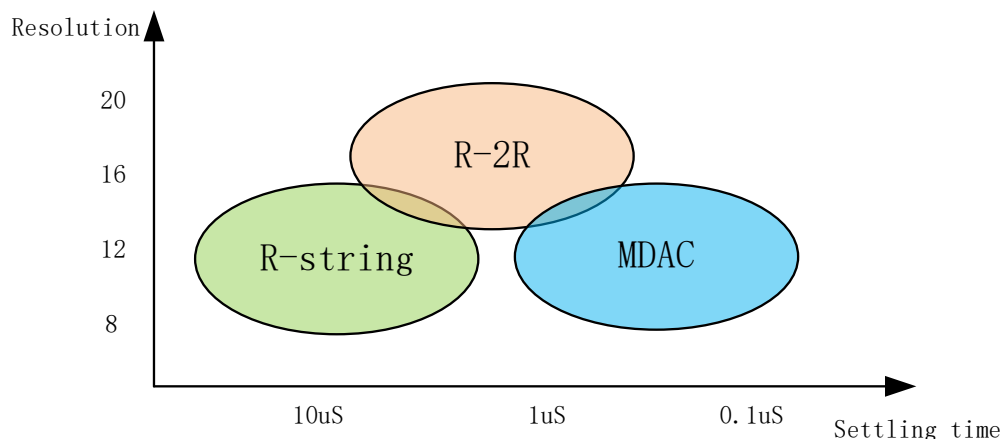
$$I_{out} = \left(\frac{b_0}{2} + \frac{b_1}{4} + \frac{b_2}{8} + \dots + \frac{b_{n-1}}{2^N} \right) * \frac{V_{ref}}{R}$$

从传递特性上看，所有的 DAC 严格意义上说都是乘法 DAC，但 MDAC 这种结构，基准电压由于不连接内部开关，所以可以在很宽的范围内变化，甚至是双极性、交流电压或者比电源高很多的电压。所以“乘法”DAC 特指有这种特性的 DAC。

MDAC 通过内部反馈电阻和外接运放，可实现与 Vref 成比例的电压输出。由于电阻网络的开关始终处于虚地低电位，因此对开关的设计要求较低。另外，切换开关时可以通过先导通再关断的方式，将其引入的 glitch 降到最低。

另外，与 R2R DAC 相反，MDAC 输出阻抗随 code 而变化，这对外部运放的环路稳定性有一定的要求。

2.4 不同结构的 DAC 比较



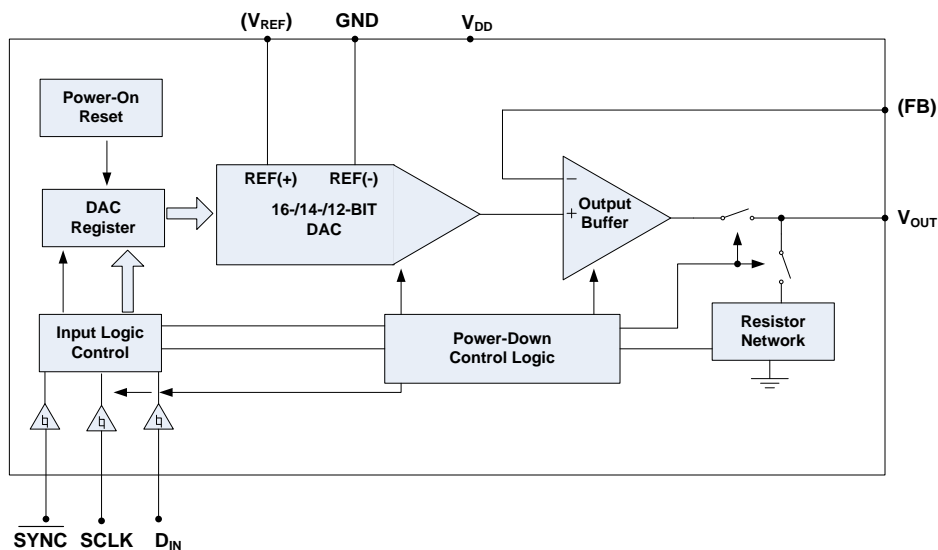
结构	R-string	R2R	MDAC
优点	实现简单	线性度好	线性度好
	单调性好	噪声小	Vref 可变范围宽
	Glitch 小	输出阻抗不变	速度快
缺点	相对精度有限	Glitch 相对较大	输出阻抗变化与 code 有关
	需要内置输出 buffer	Vref 电流与 code 有关	输出反向
	速度相对较低		
应用场合	闭环系统	精密仪器	工业控制
	可调基准源	工业控制	交流应用

三、 3PEAK DAC 介绍

3PEAK 推出了 12~16bit, 1~8 通道的一系列精密 DAC 产品。内部结构则为上面所述 R-string 结构, 内置输出 buffer。具有最高 16 位的单调性 (DNL<+-1LSB), 12 位的相对精度。采用工业级制造工艺和封装, 工作温度达 -40° ~125°。适合在 PLC/DCS、伺服控制、模拟量输出、4~20mA 变送等领域使用。

3PEAK DAC 产品经过在工业级领域的数年量产, 性能和可靠性已经得到充分证明, 是代替传统 PWM 方式或者价格昂贵的 DAC 产品的高性价比选择。

3.1 3PEAK DAC 功能框图:



3.2 3PEAK DAC 产品系列

	12bit	14bit	16bit	Interface
1ch	TPC112S1	TPC114S1	TPC116S1	SPI
2ch	TPC112S2*	TPC114S2*	TPC116S2*	SPI
4ch	TPC112S4	TPC114S4*	TPC116S4	SPI
8ch	TPC112S8*	TPC114S8*	TPC116S8*	SPI

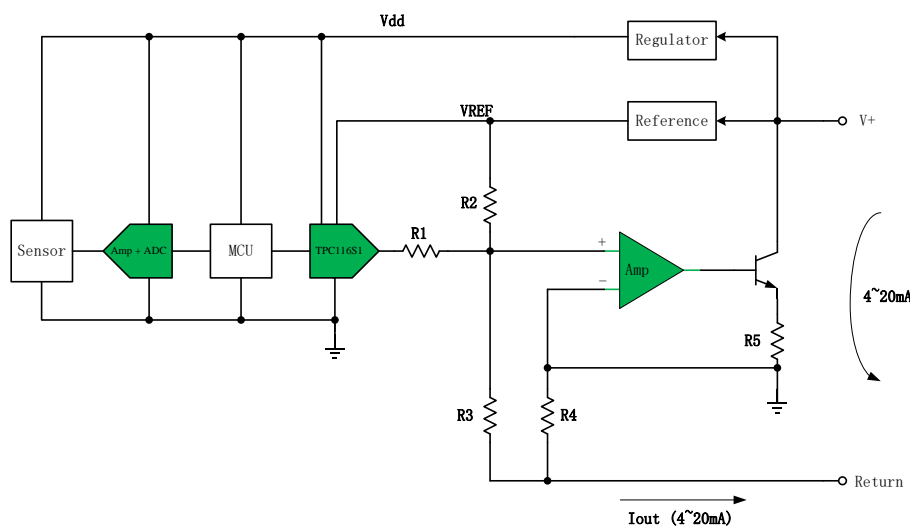
注：* 需要 3 个月 release。

3.3 3PEAK DAC 产品性能列表：

Part Number	TPC116S1	TPC114S1	TPC112S1
Supplier	3PEAK	3PEAK	3PEAK
Resolution	16	14	12
INL (LSB, Max)	±16	±8	±2
DNL (LSB, Max)	±1	±1	±1
Offset Error (mV, Max)	±4	±4	±4
Gain Error (% of FSR, Max)	±0.15	±0.15	±0.15
Voltage Output Range (V)	0~Vref	0~Vref	0~Vref
D to A Glitch Impulse (nV-sec)	0.1	0.1	0.1
Power Supply (V)	2.7~5.5	2.7~5.5	2.7~5.5
IDD (uA, Max)	80	80	80

四、 DAC 应用实例

在工业领域，4~20mA 是最常见的模拟信号传输方式之一，可靠性高，抗干扰能力强，传输距离远。在下面这个传感器变送器的应用实例中，采用分立的 3PEAK 的运放和 DAC 芯片，来放大传感器信号，并转化成 4~20mA 输出。（绿色为 3PEAK 可提供的器件种类）



简单计算可知：

$$I_{R3} = I_{R1} + I_{R2} = \frac{V_{DAC}}{R1} + \frac{V_{REF}}{R2} \quad (1)$$

$$I_{out} = I_{R3} + I_{R4} = I_{R3} * \left(1 + \frac{R3}{R4}\right) \quad (2)$$

$$V_{DAC} = V_{REF} * \frac{Code}{2^{16}} \quad (3)$$

由 (1)，(2)，(3) 可得环路输出电流：

$$I_{out} = V_{REF} * \left(\frac{Code}{2^{16}} * \frac{1}{R1} + \frac{1}{R2}\right) * \left(1 + \frac{R3}{R4}\right)$$

如果用传统低成本的 PWM 方式得到高分辨率的模拟输出信号，必然要求 MCU 的主频很高，而且长时间的滤波导致系统响应速度慢。由于电源的纹波很大，有时需要采用 VREF 开关方波来代替电源方波的方式来提升精度，设计更加复杂，外围器件成本高。使用合适的外置 DAC，在成本增加很少的情况下，可获得性能上的明显提升，并显著降低系统设计难度。

有些 MCU 也会内置 DAC，但其 DAC 一般精度有限，且增加了 MCU 成本。使用外置 DAC 可以降低对 MCU 的功能要求，选择更加灵活，而且可以达到更高的精度，免去在速度和精度上的困难折衷，方便更优化的系统设计。

本文简单介绍了精密 DAC 的主要性能参数和常见结构。3PEAK 已经推出了一系列精密 DAC 芯片。文中也给出了应用实例。感兴趣的读者可以联系公司获取样品和详细资料。

 **3PEAK and the 3PEAK logo are registered trademarks of 3PEAK INCORPORATED. All other trademarks are the property of their respective owners.**
